Министерство образования Республики Беларусь

Учреждение образования

БЕЛОРУССКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ ИНФОРМАТИКИ И РАДИОЭЛЕКТРОНИКИ

Кафедра ЭВМ

Отчёт по лабораторной работе №6

на тему: «**Исследование работы дешифратора**»

Студент группы 450501 Минаковский К.А.

Преподаватель Тимошенко В.С.

Минск 2016

1. **Цель работы**

Целью работы является исследование работы дешифратора.

1. **Сведения, необходимые для выполнения работы**

Дешифратором (Decoder – DC) M×N называют комбинационное устройство с M входами и N выходами, преобразующее M-разрядный двоичный код в N-образный унитарный код. В дешифраторах высокого уровня унитарный код содержит единственную 1, в дешифраторах низкого уровня – единственный 0.

Максимальное число выходов N = 2M соответствует всем возможным наборам сигналов на входе дешифратора иди M-разрядным двоичным кодам. Дешифратор с максимальным числом N = 2M выходов называется полным (M×2M), а с числом выходов N < 2M – неполным. Так, например, дешифратор, имеющий 4 входа и 10 выходов, будет неполным, а дешифратор, имеющий 4 входа и 4 выхода, будет полным.

На рис 1 приведено условное обозначение дешифратора 2 4 типа К531ИД14.

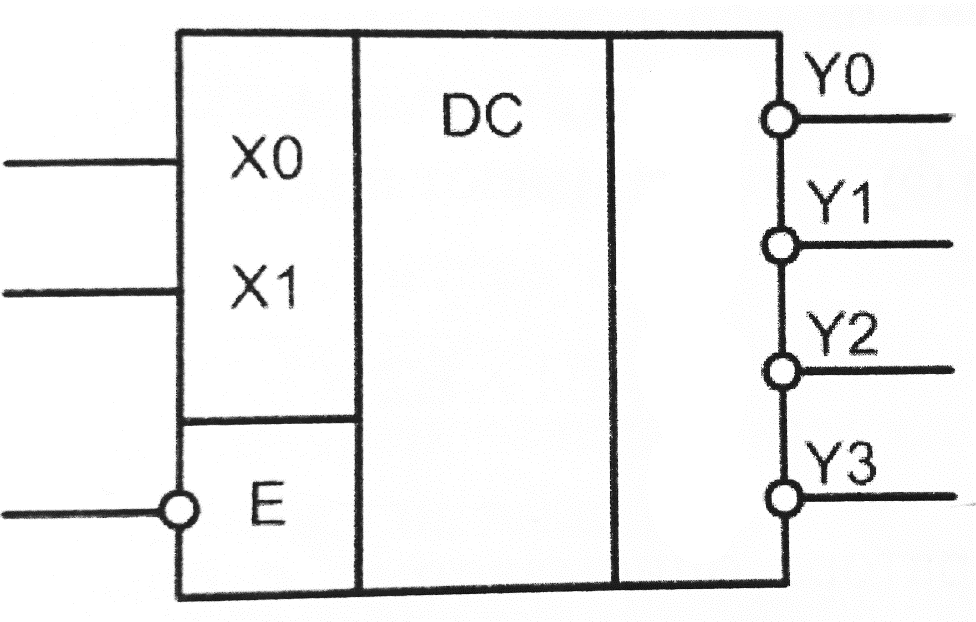


Рис. 1. Условное обозначение дешифратора 2×4

На входы X0, X1, можно подать 4 комбинации логических уровней: 00, 01, 10, 11. Схема имеет 4 выхода, на одном из которых формируется нулевой сигнал, а на остальных единичный. Номер этого единственного выхода, на котором формируется нулевой уровень, соответствует числу М, определяемому следующим образом:

Выходные сигналы дешифратора описываются соотношениями:

, , , .

Помимо информационных входов Х0, XI дешифратор имеет дополнительные входы управления Е. Сигналы на этих входах, разрешав функционирование дешифратора или переводят его в пассивное состояние, при котором, независимо от сигналов на информационных входах, на всех выходах установится единичный сигнал. Можно сказать, что существует некоторая функция разрешения, значение которой определяется состояниями управляющих входов.

Разрешающий вход дешифратора может быть прямым или инверсным. У дешифраторов с прямым разрешающим входом активным уровнем является уровень логической единицы, у дешифраторов с инверсным входом - уровень логического нуля. Дешифратор, представленный на рис. 1, имеет один инверсный вход управления.

Формирование выходных сигналов в этом дешифраторе с учетом сигнала управления описывается следующим образом:

, , ,.

Существуют дешифраторы с несколькими входами управления. Для таких дешифраторов функция разрешения, как правило, представляет собой конъюнкцию всех разрешающих сигналов управления. Например, для дешифратора КР555ИД7 с одним прямым входом управления EI и двумя инверсными E2 и E3 функция Е имеют вид:

Работа дешифратора описывается с помощью таблицы состояния (табл. 1)

Таблица 1

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| ***Входы*** | | | ***Выходы*** | | | |
| E1 | X1 | X0 | Y3 | Y2 | Y1 | Y0 |
| 1 | × | × | 1 | 1 | 1 | 1 |
| 0 | 0 | 0 | 1 | 1 | 1 | 0 |
| 0 | 0 | 1 | 1 | 1 | 0 | 1 |
| 0 | 1 | 0 | 0 | 0 | 1 | 1 |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 |

На рис. 2 приведена схема наращивания разрядности дешифратора Для построения дешифратора 3x8 на основе двух полных дешифраторов 2x4 нужно соединить параллельно их входы Х0 и XI. Входной сигнал X2 подключается непосредственно к входу разрешения Е младшего дешифратора и через инвертор к входу разрешения Е старшего дешифратора.

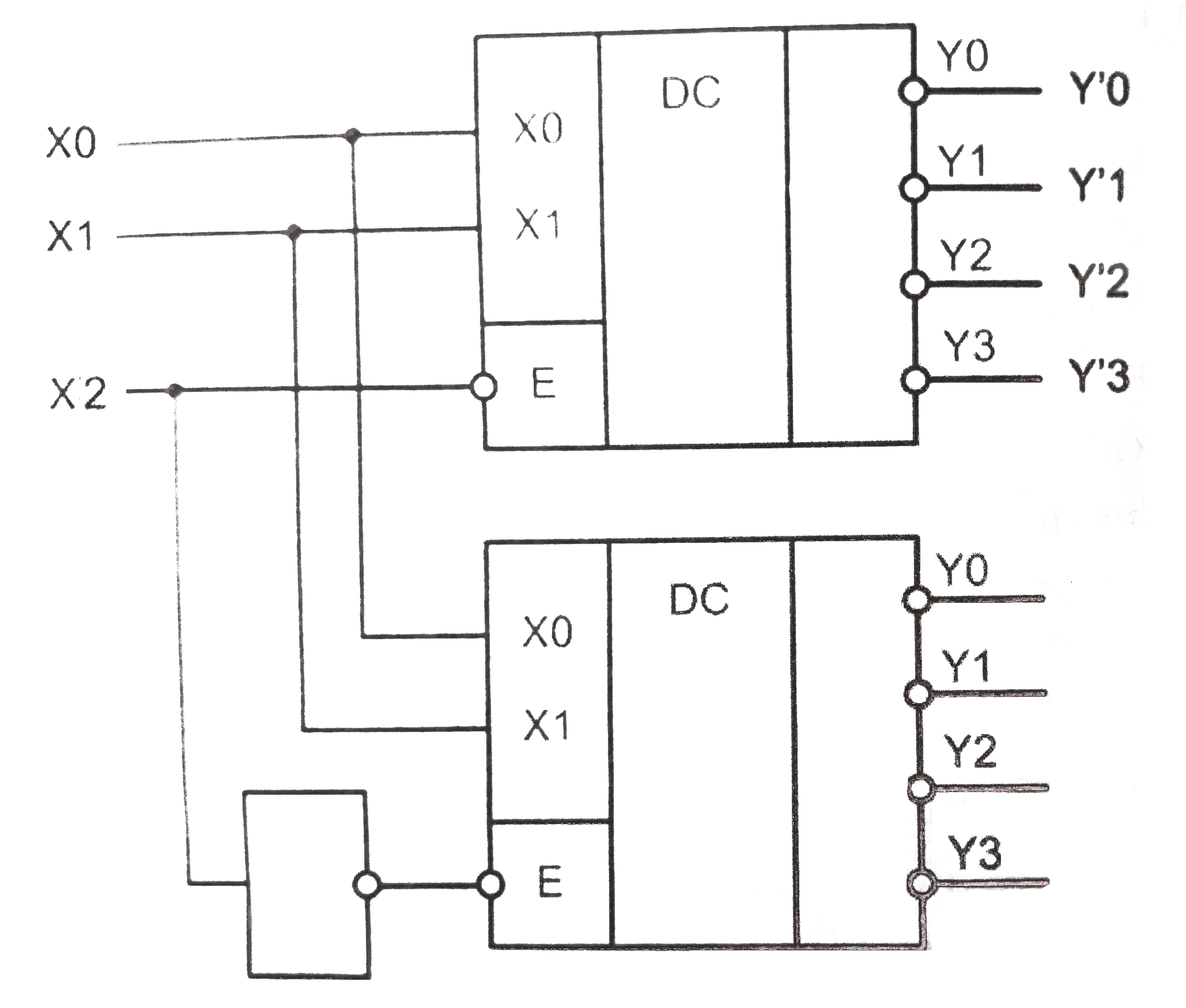


Рис. 2. Схема построения дешифратора 3×8

В зависимости от состояния сигнала Х2 только один из выходных дешифраторов будет реагировать на комбинацию сигналов на входах Х0 и X1.

Только выбранный дешифратор сформирует единицу на одном из своих выходов, номер которого определяется сигналами Х0 и X1. Например, если на входах Х2 X1 Х0 присутствует число 101, то единичный сигнал в разряде Х2 запретит работу младшего дешифратора и на его выходах установятся единичные сигналы. На вход разрешения старшего дешифратора единичный сигнал Х2 поступает после инвертирования и разрешает его работу. В результате нулевой уровень появится на выходе Y5.

Дешифраторы находят широкое применение в вычислительной технике. В составе компьютеров, например, дешифраторы позволяют адресоваться к определённому устройству, с которым в данный момент осуществляется обмен информацией. Для этого достаточно подключить вход разрешения работы этого устройства к соответствующему выходу дешифратора, а входы дешифратора использовать для задания адреса устройства.

1. **Исследование РАБОТЫ ДЕШИФРАТОРА**



Рис. 3

Таблица 2



Активным уровнем входного сигнала E является уровень логического нуля.

1. **Вывод**

В ходе работы было проведено исследование дешифратора. Были построены временные диаграммы состояний, получена таблица истинности дешифратора.

Экспериментальные данные согласуются с теоретическими.